

Title of the Prior Art

Japanese Examined Patent Publication No. 3-005634

Date of Publication: January 28, 1991

Concise Statement of Relevancy

Page 227, 2nd column, line 24 to page 228, 3rd column, line 40, and Fig.4

In figure 3, reference numeral 1 denotes a sensor unit. The sensor unit comprises, as shown in figure 4, a light-receiving element 1a, an amplifier circuit 1b, a detection circuit 1c, an integrated circuit 1d, and a level detection circuit 1e. Reference numeral 3 denotes a power supply voltage variation detection circuit. Reference characters R₁, R₂, R₃, and R₄ denote resistors which divide the power supply voltage +Vcc to obtain division voltages V_a, V_b, and V_c at the connection nodes of the respective resistors. Assuming that R₁=R₄>>R₂=R₃, V_b≈1/2Vcc is satisfied, which is shown in figure 5. Reference numerals 3a and 3b denote comparators which are connected as shown in figure 5. A condenser C₃ is a condenser for suppressing a variation in the voltage V_b at the connection node b. A condenser C₁ connected between the positive terminal of the power supply and the point d is one for correlating a variation in the power supply voltage with a variation in the voltage V_d. A condenser C₂ is one for extending the recover time of the voltage V_e when the outputs of the comparators 3a and 3b transit from the low level to the high level. Reference numeral 2 denotes a gate of an AND. Reference numeral 4 denotes an electric circuit such as a warning display circuit.

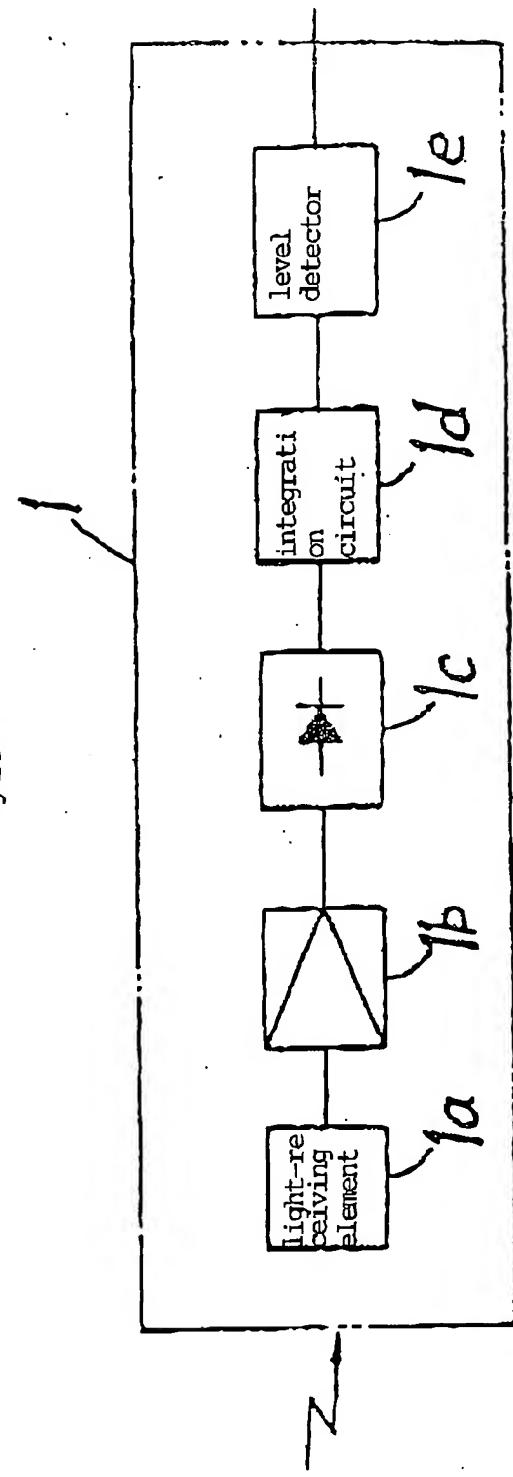
The power supply for the sensor 1, the power supply voltage variation detection circuit 3, and the AND gate 2 is Vcc. Further, the power supply voltage for the comparators 3a and 3b is also Vcc.

When the power supply voltage varies and the voltage Vd at point d in the power supply voltage variation detection circuit 3 becomes lower than the voltage Vc at point c as shown by P in figure 6, the output of the comparator 3b is inverted from [H] level to [L] level. Likewise, when the voltage Vd becomes higher than the voltage Va at point a as shown by Q in figure 6, the output of the comparator 3 is inverted from [H] level to [L] level. Accordingly, when the comparator 3a or 3b is operated and the output Ve is [L] level, the output of the gate part 1 is not input to the electric circuit 4 in the subsequent stage.

Since the voltage variation preventing condenser C, is connected to the voltage Vc, the voltage Vc hardly varies with an instant variation in the power supply voltage as shown in figure 6.

Further, while the voltage Va varies with a variation in the power supply voltage in contrast to Vc, the width of the variation is extremely small relative to Vd.

Figure 4



⑩ 日本国特許庁 (JP)

⑪ 特許出願公告

⑫ 特許公報 (B2)

平3-5634

⑬ Int. Cl.

G 08 B 29/04
 G 01 R 19/165
 G 05 F 1/10
 G 08 B 29/16

識別記号

304 E

府内整理番号

8621-5C
 9016-2G
 6340-5H
 8621-5C

⑭ 公告

平成3年(1991)1月23日

発明の数 1 (全4)

⑮ 発明の名称 入力信号制御回路

⑯ 特願 昭56-90152

⑯ 公開 昭57-204997

⑯ 出願 昭56(1981)6月10日

⑯ 昭57(1982)12月15日

⑰ 発明者 森本亮 大阪府門真市大字門真1048番地 松下電工株式会社内

⑰ 発明者 近藤幹夫 大阪府門真市大字門真1048番地 松下電工株式会社内

⑰ 発明者 柏木一仁 大阪府門真市大字門真1048番地 松下電工株式会社内

⑰ 出願人 松下電工株式会社 大阪府門真市大字門真1048番地

⑰ 代理人 弁理士 佐藤成示 外1名

審査官 鈴野幹夫

⑯ 参考文献 実公 昭54-32465 (JP, Y1)

1

2

⑰ 特許請求の範囲

1 センサー部の出力信号を、電源電圧が所定巾正又は負に変動したとき出力が反転する電源電圧変動検出回路の出力との論理積をとるゲート回路を介して次段の電気回路に接続するようにした入力信号制御回路において、

電源電圧変動検出回路として、電源電圧を抵抗により分圧し、基準値およびその基準値より正又は負となる電圧を2つの比較器に入力するとともに、基準値側端子をエンジンサC1を介して電源に接続し、前記2つの比較器の出力を接続して論理積の入力としたことを特徴とする入力信号制御回路。

発明の詳細な説明

この発明はセンサー部の出力信号によって警報回路を駆動するような場合における警報回路への入力信号制御回路に関する。

例えば物体の通過を検出する光線式報知器においては、受光部の受光信号の変化分を検出し、その変化分のレベルが所定レベル以上であれば警報回路を作動させる。ところが電源電圧の変動により瞬時投光量が変動したり、あるいはレベル検知回路の基準値が変動することにより、物体の通過がないのに警報回路を駆動してしまうおそれがあ

った。そこで従来は電源電圧の変動を吸収するために第1図イに示す如く、電源Eに並列にコンデンサーCを接続して電源の瞬時変動を吸収したり、第1図ロに示す如く定電圧回路Aを用いるものが知られている。

しかしながら第1図イ、ロに示す従来例にあっても瞬時停電などした後電源が回復したとき、第2図の回路のごとくセンサー部Aが受光素子、増幅回路、検波回路、レベル検知回路などで構成され、それぞれの回路の間にコンデンサーC₁、C₂が接続されている場合には、トリガーバルス状のノイズが発生することがあった。しかしながら変化分検知回路を構成する関係から第2図のごとくコンデンサーC₂を並列に接続してトリガーバルス状ノイズを吸収することもできない。なぜならコンデンサーC₂によって正常な信号まで吸収されてしまうからである。

本願発明は上記する欠点に鑑みなされたものであって、電源電圧変動検出回路の出力でもつて、センサー部の出力信号の次段電気回路への入力を制御することによって、センサー部の出力信号のみ次段の電気回路に接続されるようにした入力信号制御回路を提供するものである。

第3図において、1はセンサー部を示す。セ

(2)

特公 平3-5631

3

サー部は例えば第4図に示すごとく受光素子1a、増巾回路1b、検波回路1c、横分回路1d、レベル検知回路1eで構成される。3は電源電圧変動検出回路である。R₁, R₂, R₃, R₄は抵抗であつて、電源電圧+V_{cc}を分圧し、各抵抗の接続点で、分圧電圧V_a, V_b, V_cを得る。ここでR₁=R₂≈R₃=R₄とすると、V_b≈ $\frac{1}{2}$ V_{cc}となり図示すれば第5図のごとくなる。3a, 3bは比較器であり、図示のごとく接続する。なおコンデンサーC₀は接続点bの電圧V_bの変動をおさえるためのコンデンサーである。電源の正極と点dの間に接続されたコンデンサーC₁は電源電圧の変動を電圧V_dの変動に閑連をもたせるためのコンデンサーである。コンデンサーC₂は比較器3a, 3bの出力がローレベルからハイレベルに移行するときの電圧V_eの復旧時間をのばすためのコンデンサーである。2は論理積のゲートである。4は警報表示回路などの電気回路である。

なお、センサー1、電源電圧変動検出回路3、論理積ゲート2の電源は、全てV_{cc}とする。また、比較器3a, 3bの電源電圧もV_{cc}とする。

而して、第6図Pに示すごとく、電源電圧が変動し、電源電圧変動検出回路3の点dの電圧V_dが点cの電圧V_cより低くなると、比較器3bの出力が[H]レベルから[L]レベルに反転する。同様に第6図Qに示すごとく、電圧V_dがa点の電圧V_aより高くなつたときは、比較器3aが[H]レベルから[L]レベルに反転する。したがつて比較器3a又は3bが作動して出力V_eが[L]レベルのときは、ゲート部1の出力は次段の電気回路4には入力されないこととなる。

なお、電圧V_cは電圧変動防止用コンデンサーC₀が接続されているので、第6図に示すごとき電源電圧の瞬時の変動に対しては、ほとんど変動しない。

また、電圧V_aはV_cとことなり、電源電圧の変動に伴い変動するが、その変動の幅は、V_dに比較して極めて少ない。

(2)

4

第7図は他の実施例を示すものであつて、2個のセンサー部1', 1''があり、この2個のセンサー部1', 1''の出力が同時に発生した場合は電源電圧変動検出回路3の点cに前記両センサー部1', 1''の出力をANDゲート5を介して接続することにより、ANDゲート5の電源がV_{cc}であるから、このゲート5の出力として電源電圧V_{cc}と略等しい[H]レベルの電圧を出力させ、比較器3bの(+)、(-)の入力電圧を反転させて、比較器3bを[H]レベルから[L]レベルに反転させ、電圧V_eをローレベルとし、両ANDゲート2', 2''でもつて、センサー部1', 1''の出力を次段の電気回路4', 4''に入力されないように構成したものである。

上記のごとく本願発明によれば、センサー部の出力信号を、電源電圧が所定の正又は負に変動したき出力が反転する電源電圧変動検出回路の出力との論理積をとるゲート回路を介して次段の電気回路に接続するようにした入力信号制御回路において、電源電圧変動検出回路として、電源電圧を抵抗により分圧し、基準値およびその基準値より正又は負となる電圧を2つの比較器に入力するとともに、基準値側端子をコンデンサーC₁を介して電源に接続し、前記2つの比較器の出力を接続して論理積の入力とした入力信号制御回路としたので、電源電圧が変動した場合、センサー部の出力信号を次段の電気回路に入力しないので誤動作をおこす原因が大巾に改善された。しかも電源電圧の変動巾を設定しておき、その変動巾を上下に少しでも越えれば作動させるようにしているので、高精度の検知ができる。

図面の簡単な説明

第1図乃至第2図は本願発明の従来例を示すプロック図である。第3図乃至第7図は本願発明の実施例を説明する図面であつて、第3図乃至第4図および第7図はプロック図、第5図は電圧レベルを示す図、第6図は電圧波形図を示す。

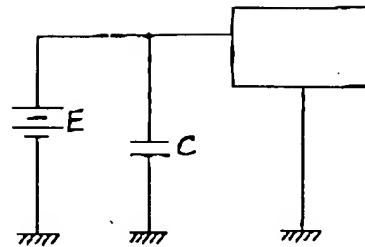
1：センサー部、2：論理積ゲート、3：電源電圧変動回路、4：電気回路。

40

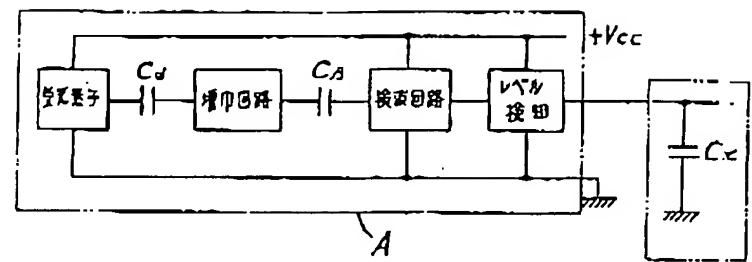
(3)

特公 平 3-5631

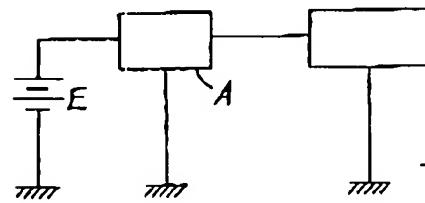
第1図



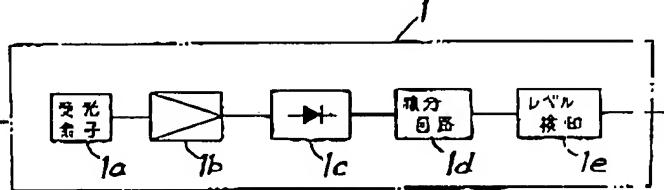
第2図



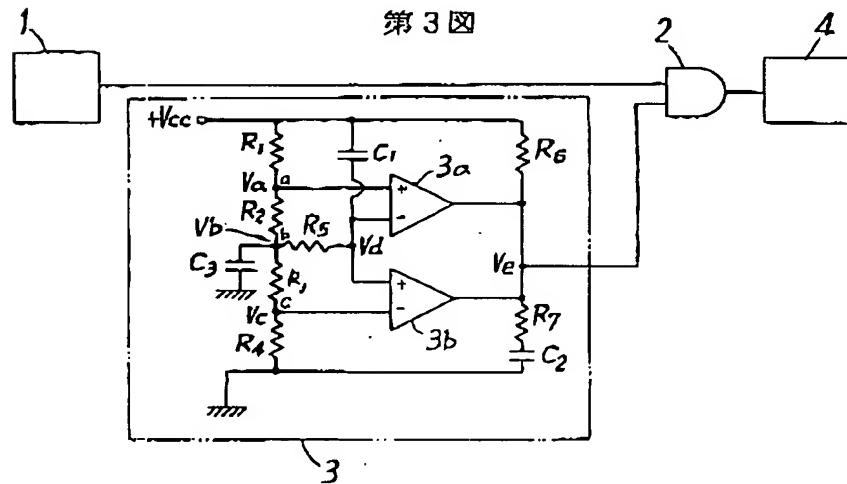
(a)



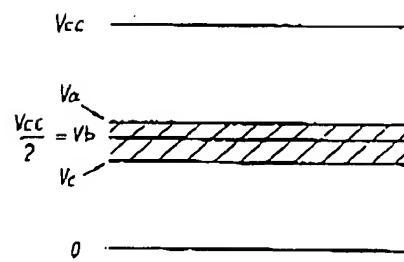
第4図



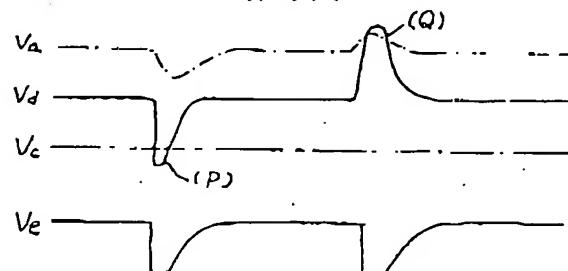
第3図



第5図



第6図



(4)

特公 平 3-5634

第7図

